

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052193

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G02B 6/42  
H04B 10/00  
H04B 10/14  
H04B 10/135  
H04B 10/13  
H04B 10/12

(21)Application number : 09-203358

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.07.1997

(72)Inventor : MATSUYAMA HIROSHI  
FURUYAMA HIDETO

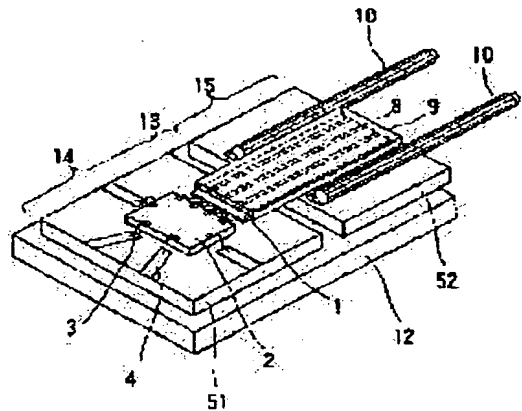
## (54) OPTICAL SEMICONDUCTOR MODULE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To lessen the optical coupling misalignment to an optical connector, to suppress the deterioration of element characteristics by dividing an assembly stage and to improve productivity by separately constituting a fiber part which is an optical coupling part and a chip mounting part for an IC, etc., accompanied with heat generation.

**SOLUTION:** A semiconductor element 1, such as laser diode, and the transmission and reception IC 2 for the optical semiconductor element are coupled to a substrate 51 for the chip by AuSn eutectic solder, etc. These members constitute a chip mounting substrate 14.

On the other hand, optical fibers 8 are soldered and fixed to a substrate 52 for fibers and an optical fiber holder 9 is put as a reinforcing material for the same thereon from above. Further, guide pins 10, 10 are mounted for coupling to the optical connector. These members constitute a fiber mounting substrate 15. A spacing 13 is formed between chip mounting substrate 14 and the fiber mounting substrate 15 and both substrates are fixed to a heat slinger 12, by which the heat conduction from the chip mounting substrate 14 to the fiber mounting substrate 15 is suppressed.



## LEGAL STATUS

[Date of request for examination] 19.09.2000

[Date of sending the examiner's decision of rejection] 18.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-52193

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 2 B 6/42

G 0 2 B 6/42

H 0 4 B 10/00

H 0 4 B 9/00

Z

10/14

Q

10/135

10/13

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平9-203358

(22) 出願日

平成9年(1997) 7月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松 山 宏

神奈川県川崎市幸区堀川町72番地 株式会

社東芝川崎事業所内

(72) 発明者 古 山 英 人

神奈川県川崎市幸区堀川町72番地 株式会

社東芝川崎事業所内

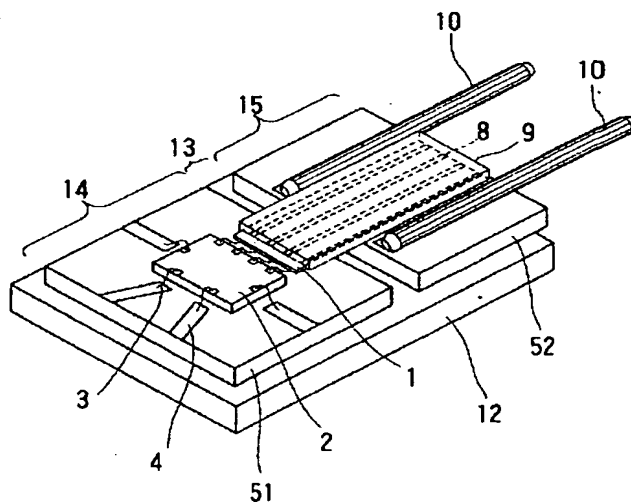
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 光半導体モジュール

(57) 【要約】

【課題】 ICから発生する熱をコネクタ部分への伝導を抑制し光コネクタとの光軸ずれを防止するとともに、生産性と歩留とを向上させた光半導体モジュールを提供することを目的とする。

【解決手段】 ICや光半導体素子が実装された基板と光ファイバが実装された基板とを分離することによって、熱伝導を低減し、光コネクタとの光軸ずれを抑制するものである。さらに、このように基板を分離することによって、組立工程を平行して行うことができ、生産性が改善され製造歩留まりも向上することができるようになる。



**【特許請求の範囲】**

【請求項 1】 光半導体素子と、光半導体素子用 IC と、光ファイバと、ガイドピンとを備えた光半導体モジュールであって、

前記光半導体素子と前記光半導体素子用 IC とは、チップ搭載基板上に実装され、

前記光ファイバと前記ガイドピンとは、ファイバ搭載基板上に実装され、

前記チップ搭載基板と前記ファイバ搭載基板とは、互いに間隙を設けて放熱板上に配置されているものとして構成されていることを特徴とする光半導体モジュール。

【請求項 2】 前記チップ搭載基板は、シリコン、窒化アルミニウム、窒化シリコン、銅、銅タングステン合金、アルミニウム、コパール、および 4 2 アロイからなる群から選択された材料により構成されていることを特徴とする請求項 1 記載の光半導体モジュール。

【請求項 3】 前記ファイバ搭載基板は、ガラスセラミクス、アルミナ、液晶性ポリマー樹脂、ABS 樹脂、ポリカーボネート、ポリブチレンテレフタレート、ポリフェニレンサルファイド、テフロン、およびエポキシ樹脂からなる群から選択された材料により構成されていることを特徴とする請求項 1 または 2 に記載の光半導体モジュール。

【請求項 4】 前記ファイバ搭載基板と前記放熱板とは、前記ファイバ搭載基板を構成する材料よりも熱伝導率が低い材料によって接着固定されていることを特徴とする請求項 1 ～ 3 のいずれか 1 つに記載の光半導体モジュール。

【請求項 5】 前記放熱板上には、前記チップ搭載基板と前記ファイバ搭載基板とを固定する際に位置合わせするためのマークが設けられ、

前記チップ搭載基板上には、前記ファイバを固定する際に位置合わせするためのマークが設けられていることを特徴とする請求項 1 ～ 4 のいずれか 1 つに記載の光半導体モジュール。

【請求項 6】 前記放熱板は、前記チップ搭載基板が配置されている部分と前記ファイバ搭載基板が配置されている部分との間に溝が設けられていることを特徴とする請求項 1 ～ 5 のいずれか 1 つに記載の光半導体モジュール。

【請求項 7】 基板と、前記基板上に搭載された光半導体素子、光半導体素子用 IC、光ファイバ、およびガイドピンと、を備えた光半導体モジュールであって、前記基板は、前記光半導体素子および前記光半導体素子用 IC が搭載された部分と、前記光ファイバおよび前記ガイドピンが搭載された部分との間に、溝が設けられていることを特徴とする光半導体モジュール。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、光半導体素子と IC

などの半導体チップとを搭載し、光コネクタに対する接続機構を有する光半導体モジュールに関し、特に、光コネクタ接続部の温度を低下させる構造により、接続する光コネクタとの光軸ずれを抑制するとともに、生産性および歩留を向上させた光半導体モジュールに関する。

**【0002】**

【従来の技術】 近年、光通信分野では、LAN 間やコンピュータ内のボード間データ転送など、高容量かつ高速でデータを伝送する技術が必要とされている。データ転送に用いられる伝送システムは、一般に、送信モジュール、光伝送媒体および受信モジュールにより構成される。それぞれの具体的な構成は以下の如くである。すなわち、送信モジュールは、レーザダイオード、制御 IC および光コネクタに対する光結合部品とからなる。光伝送媒体は、各モジュールとの連結機構を有する光コネクタと光ファイバとからなる。受信モジュールは、フォトダイオード、制御 IC および光コネクタに対する光結合部品とからなる。また、光コネクタと各モジュールとの連結には、ガイドピンが用いられることが多い。

【0003】 モジュールのスペックとしては小型化、軽量化、低消費電力化が求められている。一方、データ量の増大とデータ転送レートの拡大を目指して、光ファイバの多チャンネル化や、高速に動作する光半導体素子や制御 IC を搭載したモジュールの開発が進められている。しかし、送信チャンネル数を増大させるためには、さらに高度な光ファイバアセンブリ技術が必要であるとともに、IC の回路規模拡大による発熱問題に対処する必要がある。つまり、高密度実装を踏まえたモジュールの放熱対策が必要となる。また、同時にこのような光モジュールは、市場に安価に提供するために、生産性や歩留まりが十分に高いことも必要とされる。図 8 は、従来の光半導体モジュールの概略構成を表す説明図である。すなわち同図 (a) は、その概略斜視図であり、同図 (b) は、その組立図である。

【0004】 同図において、101 はレーザダイオードあるいはフォトダイオードなどがアレイ状に配列した光半導体素子であり、102 はレーザダイオードに対しては送信 IC、フォトダイオードに対しては受信 IC となる。これらの素子はベース基板 105 にマウントされている。ベース基板 105 はシリコン材料からなり、その表面には、電気信号入出力用の配線 104 と光半導体素子用配線 141 とが形成されている。これらの配線は、Ti/Pt/Au の順に金属層をメッキ蒸着した積層構造を有する。

【0005】 IC 102 のボンディング・パッド 142 と光半導体素子用配線 141 との間、および、IC 102 のボンディング・パッド 142 と配線 104 との間は、それぞれボンディング・ワイヤ 103 により電氣的に接続されている。光半導体素子 101 の前面には光ファイバ 108、108、・・・が配置され、光信号が入

出力される。光ファイバ108は、補強材として光ファイバホルダ109により固定されている。また、図示しない光コネクタとの光結合を確保するために、ガイドピン110、110が設けられている。

#### 【0006】

【発明が解決しようとする課題】しかし、このような従来の光半導体モジュールにおいては、放熱対策が十分でなく、また生産性や製造歩留まりにも改善の余地があった。以下にこれらの問題点について説明する。

【0007】図8に示した光半導体モジュール100においては、放熱板112によってIC102と光半導体素子101の放熱が行われる。すなわち、これらの素子が生ずる熱は、放熱板112から、図示しないヒートシンクを介して、外部に放出される。

【0008】IC102は、1チャンネルあたりの消費電力が0.2~0.3Wの回路構成のものが多い。従って、4チャンネル構成のものでは0.8~1.2Wの消費電力におさまっているが、10チャンネル構成のものでは消費電力は2~3Wにも達し、本発明者の実験によれば、このモジュールを動作させた場合、放熱のさせかたや使用環境温度次第では基板105の端部における温度が70℃を超えることがある。しかし、モジュールに接続される光コネクタの許容温度範囲は70℃よりも低い場合も多く、モジュールの発熱によって光軸ずれなどを起こして正常なデータ転送ができなくなる場合があった。すなわち、IC102などから発生した熱は、ベース基板105を通して光コネクタとの結合部に伝導され、熱ひずみを生じ、モジュールの光軸と光コネクタの光軸とがずれる。

【0009】マルチモードファイバの場合は、コア径が50 $\mu$ mであり許容幅がやや大きい。単一モード伝送を行うシングルモードファイバの場合は、コア径が約10 $\mu$ mと小さく、光軸が数 $\mu$ mずれただけで、光結合の損失が増大し、安定なデータ転送ができなくなるという問題があった。

【0010】一方、従来の光半導体モジュールにおいては、製造中に素子の劣化が生じることがあるという問題があり、生産性や歩留まりも改善の余地があった。これらの問題点について、図8(b)を参照しつつ説明する。

【0011】すなわち、光半導体モジュール100の組立に際しては、まず、ベース基板105上に光半導体素子101とIC102とを半田でマウントする。次に、ICパッド142と配線104との間、およびICパッド142と光半導体素子用配線141との間をそれぞれワイヤボンディングする。光ファイバ108は、前もってファイバホルダ109に半田などで固定しておき、さらに光ファイバの端面を合わせるためにダイシングする。さらに、光半導体素子側の光結合が行えるようにファイバホルダ109の片方の端面のみをダイヤモンド砥

粒などで研磨する。光ファイバ108の他方の端面の研磨は、後述するモジュールの端面出しのときに行う。

【0012】次に、この光ファイバ108を固定したファイバホルダ109をベース基板105上に形成された溝106に沿ってマウントし半田で固定する。次に、図示しない光コネクタとの光結合を得るために、コネクタ面と突き合わせられる面をダイシングし、さらにダイヤモンド研磨を行う。次に、光コネクタと連結させるためのガイドピン110を溝107にエポキシ接着剤で固定する。次に、半田111で放熱板112に固定する。最後に、図示しないパッケージに封入し、光半導体モジュールが完成する。

【0013】以上説明したように、従来の光半導体モジュールにおいては、光半導体素子101やIC102をベース基板105にマウントした後に、ファイバホルダ109の半田付けやガイドピン110のエポキシ接着固定などの熱サイクルを伴う組立て工程がある。しかし、このような熱サイクルは、光半導体素子101やIC102を劣化させ、モジュールの信頼性を低下させる要因となっていた。

【0014】また、前述したような一連の工程は、ほぼ直列的に行われる。しかし、この一連の工程の後半に行われる、ファイバ108やガイドピン110のマウントには正確な位置決めなどが必要とされ、これに失敗した場合には、それまで終えてきた全ての工程が無駄となる。このように、従来の光半導体モジュールにおいては、生産性が必ずしも高くなく、製造歩留が低下しやすかった。

【0015】以上詳述したように、従来の光半導体モジュールにおいてはICなどから発生する熱による光コネクタ結合部の温度上昇や光軸ずれ、また一連の組立て工程による生産性や歩留が上がらないという問題があった。

【0016】本発明はかかる問題点に鑑みてなされたものである。すなわち、その第1の目的は、ICから発生する熱をコネクタ部分への伝導を抑制し光コネクタとの光軸ずれを防止し、信頼性の高い光半導体モジュールを提供することにある。また、第2の目的は、組立工程においては生産性と歩留とを向上させた光半導体モジュールを提供することにある。

#### 【0017】

【課題を解決するための手段】すなわち、本発明による光半導体モジュールは、光結合部分であるファイバ部と、熱発生を伴うICなどのチップ搭載部分とが分離されているものとして構成され、光コネクタとの光結合ずれを低減し、組立工程を分割することで素子特性の劣化を抑え、生産性を向上することができる。

【0018】また、前述の光半導体モジュールにおいて、チップ搭載基板の材料として熱伝導性の良い材料を用い、放熱板への熱伝導の割合を上昇させ、結果的に光

結合面の温度上昇を抑え、光結合損失を低減させることができる。

【0019】さらに、前述の光半導体モジュールにおいて、光結合基板を比較的熱伝導率の低い、例えば、ガラスセラミックス、アルミナ、液晶性ポリマー樹脂、ABS樹脂、ポリカーボネート、ポリブチレンテレフタレート、ポリフェニレンサルファイド、テフロン、エポキシ樹脂などの材料で構成することによって、光結合面の温度上昇を抑え光結合損失を低減させることができる。

【0020】また、ファイバ搭載基板を放熱板にマウントするときの接着材料として、熱伝導の低いエポキシ接着剤などを用いることによって、光結合面の温度上昇を抑え、光結合損失を低減させることができる。

【0021】さらに、チップ搭載基板とファイバ搭載基板を放熱板にマウントする際に用いる位置合わせ用のマークを設けることによって、光結合部分を機械的位置合わせで行い、工程時間を削減し光結合損失を低減することができる。

【0022】また、放熱板に溝を設けることによって、チップ搭載基板からファイバ搭載基板への熱伝導をさらに抑制することができる。

【0023】一方、基板を分離しなくても、チップ搭載部分とファイバ搭載部分との間に溝を設けることによって、熱伝導を抑制することができる。

【0024】

【発明の実施の形態】本発明は、ICや光半導体素子が実装された基板と光ファイバが実装された基板とを分離することによって、熱伝導を低減し、光コネクタとの光軸ずれを抑制するものである。さらに、このように基板を分離することによって、組立工程を平行して行うことができ、生産性が改善され製造歩留まりも向上することができるようになる。以下に具体的な実施例を参照しつつ本発明の実施の形態について説明する。

【0025】（実施例1）図1は本発明の第1の実施例にかかる光半導体モジュールを表す概略斜視図である。1はレーザダイオードあるいはフォトダイオードなどの光半導体素子であり、2は光半導体素子用のICである。これらの素子は電気信号入出力用の配線4を設けたチップ用基板51にAuSn共晶半田などによって接合されている。光半導体素子1と光半導体素子用ICとはボンディングワイヤ3によって接続されている。これらの部品によってチップ搭載基板14が構成されている。

【0026】一方、ファイバ用基板52には光ファイバ8が半田固定されており、その補強材として光ファイバホルダ9が上から被せられている。さらに、図示しない光コネクタとの連結用にガイドピン10、10が取り付けられている。これらの部品によってファイバ搭載基板15が構成されている。

【0027】チップ搭載基板14とファイバ搭載基板15とは、間に間隙13を設けて放熱板12に固定されて

いる。間隙13の距離やこれを設けたことによる効果は後述する。ここで、放熱板12は平板である必要はなく、装着対象により適宜形状を選択できる。例えば、図示しない光コネクタとの接続機構を有した外囲器を設けることで光コネクタ型モジュールへも適用できる。

【0028】図2は本実施例の光半導体モジュールの熱経路を表す断面模式図である。同図を参照しつつ、間隙13を設けることの効果を説明する。光半導体モジュールにおける主要な熱源はIC2である。発生した熱は、同図において示したIC上方への熱放射経路20とIC裏面への熱伝導経路とに分かれる。

【0029】ここで、モジュールを図示しないパッケージに封入するときは、安定的な気体雰囲気として窒素を用いる。窒素の熱伝導率は $0.0260\text{ W}/(\text{mK})$ であり、チップ用基板の材料であるシリコンの熱伝導率は $148\text{ W}/(\text{mK})$ である。よって、IC上面への熱放射経路20による放熱成分は少なく、発生した熱の大部分はIC裏面へ伝導していく。この熱は、IC裏面側を中心にしてチップ用基板51全体に伝導していく。さらに、放熱板12中の熱経路21～26を通して、図示しないヒートシンクを介して外部に放出されていく。放熱板12の材料としては、例えば熱伝導率が $210\text{ W}/(\text{mK})$ の銅タングステン合金(CuW)が用いられる。

【0030】一方、チップ用基板51を通る熱伝導経路29が間隙13に達する箇所においては、間隙13に遮蔽されて伝導する熱量は極めて小さくなる。これは、従来例の光半導体モジュールにおいては、同図に破線で示した熱経路31のように直接熱が伝導していくことと比較して、顕著に異なる点である。移動する熱量は放熱経路27が大きくなる分だけ、放熱経路24、25の放熱量も多くなる。その結果、ファイバ用基板52の先端面に至る総熱量は従来よりも、はるかに減少する。

【0031】ここで、本発明によれば、基板51と52とが分離しているので、これらの基板同士が接するように固定されていたとしても熱抵抗は非常に高く、熱伝導は従来と比較して、はるかに抑えられる。しかし、間隙13の距離は、全体のサイズなどとの関係において、可能な限り大きく設定する方が、熱の放射や伝導を抑えられることは明白である。ICの消費電力とモジュールの放熱構造とに応じて光コネクタの温度は変化するが、本発明の構造を用いることによって温度上昇は極めて効果的に抑制され、光軸ずれの少ない光半導体モジュールを提供できる。また、樹脂材料により光半導体モジュール全体を封止する場合でも、熱伝導率の低いものを選択することによって同様の効果を得ることができる。

【0032】次に、本実施例による光半導体モジュールの製造工程について説明する。図3は本実施例の光半導体モジュールの概略組立図である。以下に、工程順に説明する。まず、電気信号入出力用の配線4と光ファイバ

用の溝 61 を形成したチップ用基板 51 に、光半導体素子 1 をマウントし、さらに、IC2 をマウントする。次に、ICパッド 42 と配線 4 の間および ICパッド 42 と配線 41 の間をボンディングワイヤ 3 により接続してチップ搭載基板 14 が完成する。

【0033】ここで、これらの組立工程と平行して、ファイバ搭載基板 15 を以下のようにして組立てることができる。すなわち、予め光ファイバホルダ 9 より数 mm 長めに切断しておいた光ファイバ 8 を光ファイバホルダ 9 の溝にマウントしておき、その後半田で固定する。光ファイバ 8 と光ファイバホルダ 9 の長さを一致させるために、端を 1 mm ほどダイシングし、その後、光結合が得られるように端面を研磨する。そして、この端面が光半導体素子 1 と対向するように、基板 52 の光ファイバ用の溝 62 にマウントし、半田材で固定する。次に、図示しない光コネクタと接続する面をダイシングして光ファイバ 8 の光結合が得られるように端面を研磨する。さらに、ガイドピン 10 をガイドピン用の溝 7 に合わせてエポキシ接着剤で固定することにより、ファイバ搭載基板 15 が完成する。

【0034】さらに、放熱板 12 上にプリフォーム半田 91 を載せ、チップ搭載基板 14 を位置決めし、半田の融点まで加温して、チップ搭載基板を固定する。次にファイバ搭載基板用のプリフォーム半田 92 を載せ、ファイバ搭載基板 15 から露出している光ファイバ部を光ファイバ用の溝 61 に合わせる。半田の融点まで加温して、ファイバ搭載基板を放熱板 12 に固定する。さらに、光ファイバホルダ 9 をチップ搭載基板 14 に光ファイバのずれが無いように半田固定する。

【0035】図 4 は、以上に説明した工程を表すフロー図である。光半導体素子 1 や IC2 をマウントし、ワイヤを接続することによりチップ搭載基板 14 を組立てる。この基板に対しては、これ以後、放熱板 12 とファイバ搭載基板 15 を取り付け以外の工程で熱は加えない。その結果として、光半導体素子 1 や IC2 を熱により劣化させ、特性を低下させる危険性が少なくなる。一方、光ファイバホルダ 9 の組立工程は、平行して独立に実施することができ、作り置きが可能である。同様に、ファイバ搭載基板 15 の組立工程についても平行して独立に実施することができ、精密な位置精度が要求される光ファイバの位置ずれやガイドピンの固定ずれを、この組立工程内の歩留として閉じることができる。

【0036】本発明によれば、このように従来の直列的な一連の工程を分割することによって生産性と歩留り向上を実現することができる。以上述べた実施例は、単芯ファイバについても、8 芯、12 芯やその他の多芯ファイバについても適用が可能であり同様の効果を得ることができる。

【0037】（実施例 2）次に、図 1 を参照しつつ、本発明の第 2 の実施例の光半導体モジュールについて説明

する。本実施例においては、チップ用基板 51 の材料として、熱伝導性の良好な他の材料を用いる。このような材料としては、シリコン以外に、例えば、窒化アルミニウム、窒化シリコン、銅、銅タングステン、アルミニウム、コパール、42 アロイなどを挙げることができる。その他の部品、および組立て工程は、前述した実施例 1 と同様とすることができる。

【0038】このようにチップ用基板 51 を熱伝導性の良好な材料で構成することによって、図 2 に示した放熱経路 21 を中心とした放熱を増加することができる。その結果として、光コネクタ側への熱伝導を相対的に減少させることができ、温度上昇に伴う光結合の損失を抑えることができる。すなわち、実施例 1 よりさらに光コネクタ部分への熱伝導を低減した光半導体モジュールを実現できる。

【0039】（実施例 3）次に、図 1 を参照しつつ、本発明の第 3 の実施例の光半導体モジュールについて説明する。本実施例においては、ファイバ用基板 52 の材料として、熱伝導性の低い材料を用いる。このような材料としては、ガラスセラミクスやアルミナなどのセラミクス系材料や、液晶性ポリマー樹脂、ABS 樹脂、ポリカーボネート、ポリブチレンテレフタレート、ポリフェニレンサルファイド、テフロン、およびエポキシ樹脂など有機系材料などを挙げることができる。その他の部品、および組立て工程は、前述した実施例 1 および 2 と同様とすることができる。

【0040】このように、ファイバ用基板 52 を熱伝導性の低い材料で構成することによって、図 2 に示した放熱経路 28 や 32 による熱伝導を低下させることができる。その結果として、光コネクタ側への熱伝導を減少させ、光結合の損失を抑えることができる。本実施例は、前述した実施例 2 と組み合わせることによって、さらに光コネクタ部分への熱伝導を低減した光半導体モジュールを実現することができる。

【0041】（実施例 4）次に、図 1 を参照しつつ、本発明の第 4 の実施例の光半導体モジュールについて説明する。本実施例においては、ファイバ搭載基板 15 の固定に熱伝導性の低い接着剤を用いる。このような接着剤としては、例えば、エポキシ接着剤のような樹脂系接着剤を挙げることができる。その他の部品、および組立て工程は、前述した実施例 1 と同様とすることができる。

【0042】このように、ファイバ搭載基板 15 を熱伝導性の低い接着剤により固定することによって、図 2 に示した放熱経路 28 や 32 による熱伝導をさらに低下させることができる。その結果として、光コネクタ側への熱伝導をさらに減少させ、光結合の損失をさらに抑えることができる。本実施例も、前述した実施例 2 および 3 と組み合わせることによって、さらに光コネクタ部分への熱伝導を低減した光半導体モジュールを実現することができる。

【0043】（実施例5）次に、本発明の第5の実施例の光半導体モジュールについて説明する。図5は、本発明の第5の実施例の光半導体モジュールの組立図である。本実施例においては、放熱板12とチップ搭載基板14の面上に、それぞれ位置合わせマークが設けられている。すなわち、放熱板12の面上には、チップ搭載基板14のエッジに合わせるためのマーク35、35、35、35と、ファイバ搭載基板15の前後位置を合わせるためのマーク36、36、および左右位置を合わせるためのマーク37、37が、それぞれ設けられている。また、チップ搭載基板14上には、光ファイバホルダ9のエッジに合わせたマーク38、38がそれぞれ設けられている。

【0044】図5においては、スクリーン印刷の転写などの方法によりマーキングした場合を例示しているが、マークは位置が正確で有れば良い。従って、穴を形成するなど、識別可能なあらゆる方法を用いることができる。ここで、マーク35～37は絶対的な位置を示すものではなく、光結合を合わせるためには位置合わせマーク38の位置精度を優先させるべきである。本実施例によれば、位置合わせマークを用いることで正確に部品をマウントし、信頼性が高く、しかも、位置合わせ作業の時間を削減した生産性の高い光半導体モジュールを実現することができる。

【0045】（実施例6）次に、本発明の第6の実施例の光半導体モジュールについて説明する。図6は、本発明の第6の実施例の光半導体モジュールの概略斜視図である。すなわち、本実施例においては、放熱板12に溝70が設けられている。溝70は、チップ搭載基板14とファイバ搭載基板15の間に配置され、放熱板12の内部での熱伝導を遮蔽する。すなわち、このような溝70を設けることによって、図2に示した放熱経路28と32を介した熱伝導量が低下し、光コネクタの温度上昇をさらに抑制することができる。

【0046】（実施例7）次に、本発明の第7の実施例の光半導体モジュールについて説明する。図7は、本発明の第7の実施例の光半導体モジュールの概略斜視図である。すなわち、本実施例においては、基板50が分離されておらず、チップ搭載部14'とファイバ搭載部15'との間に溝72が設けられている。このような溝72を設けることによって、基板を分離しなくとも、IC2からの熱のファイバ側への伝導は抑制され、光コネクタの温度上昇をある程度抑制することができる。

【0047】

【発明の効果】本発明は、以上説明した形態により実施され、以下に説明する効果を奏する。まず、本発明によれば、チップ搭載基板とファイバ搭載基板とが分離しているので、熱伝導は従来と比較して、はるかに抑えられる。その結果として、結合部の温度上昇は極めて効果的に抑制され、光軸ずれの少ない光半導体モジュールを提

供できる。また、本発明によれば、光コネクタの温度上昇を抑制することができるので、従来よりも耐熱性の低い安価なコネクタを使用することができるようになり、光伝送システムを安価に提供することができるようになる。

【0048】また、本発明によれば、基板を分離したので、組立工程中に、光半導体素子やICに対して熱は加える回数を減らすことができる。その結果として、光半導体素子やICを熱により劣化させ、特性を低下させる危険性が少なくなる。一方、光ファイバホルダの組立工程は、平行して独立に実施することができ、作り置きが可能であり、生産性が向上する。さらに、ファイバ搭載基板の組立工程についても平行して独立に実施することができ、精密な位置精度が要求される光ファイバの位置ずれやガイドピンの固定ずれを、この組立工程内の歩留として閉じることができる。

【0049】本発明によれば、このように従来の直列的な一連の工程を分割することによって生産性と歩留り向上を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例にかかる光半導体モジュールを表す概略斜視図である。

【図2】本実施例の光半導体モジュールの熱経路を示す断面模式図である。

【図3】本実施例の光半導体モジュールの概略組立図である。

【図4】第1の実施例の光半導体モジュールの組立工程を表すフロー図である。

【図5】本発明の第5の実施例の光半導体モジュールの組立図である。

【図6】本発明の第6の実施例の光半導体モジュールの概略斜視図である。

【図7】本発明の第7の実施例の光半導体モジュールの概略斜視図である。

【図8】従来の光半導体モジュールの概略構成を表す説明図である。すなわち同図（a）は、その概略斜視図であり、同図（b）は、その組立図である。

【符号の説明】

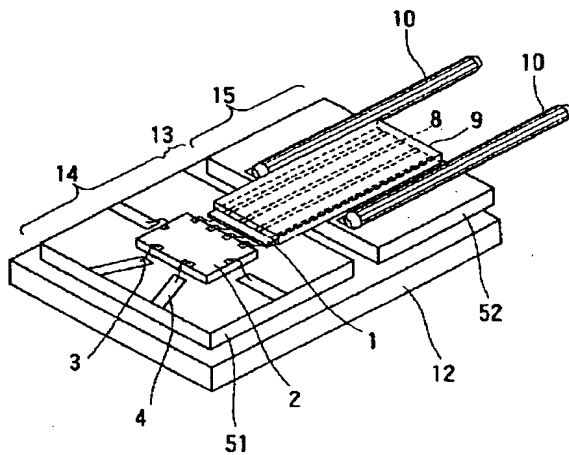
- 1、101 光半導体素子
- 2、102 光半導体素子用送受信IC
- 3、103 ボンディングワイヤ
- 4、104 電気信号入出力用配線
- 7、107 ガイドピン用溝
- 8、108 光ファイバ
- 9、109 ファイバホルダ
- 10、110 ガイドピン
- 12、112 放熱板
- 13 間隙
- 14 チップ搭載基板
- 14' チップ搭載部



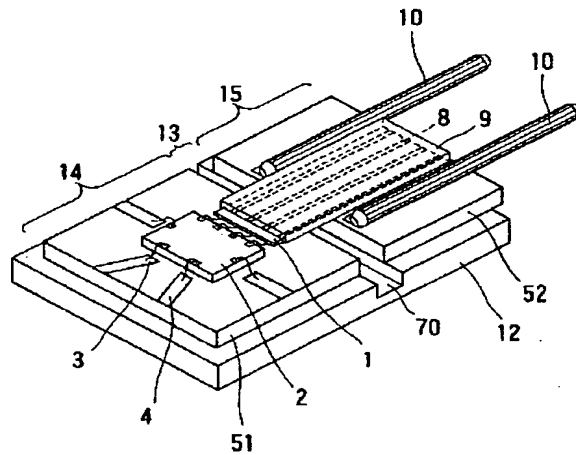
15 ファイバ搭載基板  
 15' ファイバ搭載部  
 20~32 熱経路  
 35、36、37、38 位置合わせマーク  
 41、141 元素子電気信号接続配線  
 42、142 ICのボンディングパッド  
 50 基板

51 チップ用基板  
 52 ファイバ用基板  
 61、62、106 ファイバ溝  
 70、72 溝  
 91、92、111 半田ブリフォーム  
 100 光半導体モジュール  
 105 ベース基板

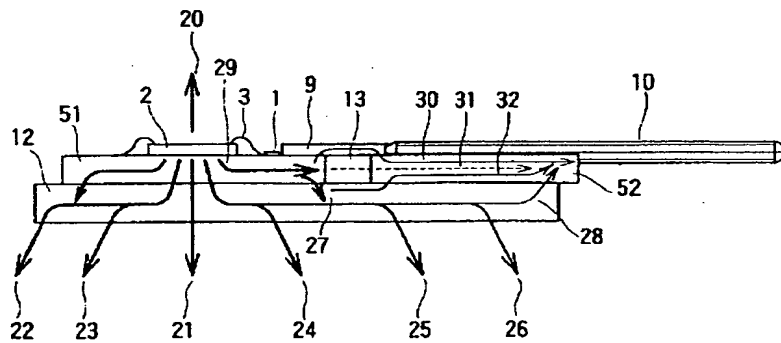
【図1】



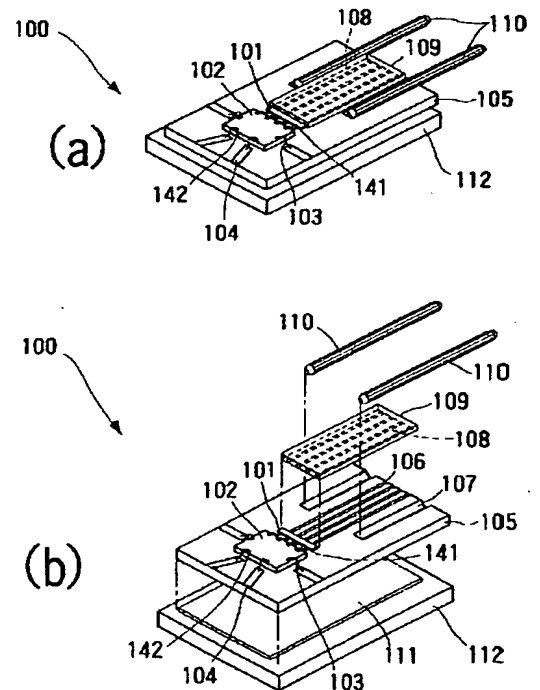
【図6】



【図2】



【図8】





フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 4 B 10/12

THIS PAGE BLANK

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**